

. DIALOG(R) File 351: Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.

012106518      \*\*Image available\*\*  
WPI Acc No: 1998-523430/199845  
XRAM Acc No: C98-157279  
XRPX Acc No: N98-408990

**Field emission element for use in a field emission display - has a structure which uniformly controls the distance between the gate electrode and the electron emitting part of the cathode electrode**

Patent Assignee: SONY CORP (SONY )

Inventor: IWASE Y; OKITA M

Number of Countries: 028    Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 871195	A1	19981014	EP 98400893	A	19980410	199845 B
JP 10289650	A	19981027	JP 9793669	A	19970411	199902
KR 98081291	A	19981125	KR 9812766	A	19980410	200005
<u>US 6135839</u>	A	20001024	US 9856937	A	19980408	200055
			US 99430126	A	19991029	

Priority Applications (No Type Date): JP 9793669 A 19970411

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

EP 871195	A1	E	40	H01J-001/30	
-----------	----	---	----	-------------	--

Designated States (Regional): AL AT BE CH CY DE DK ES FI FR GB GR IE IT

LI LT LU LV MC MK NL PT RO SE SI

JP 10289650	A		19	H01J-001/30	
-------------	---	--	----	-------------	--

KR 98081291	A			H01J-001/30	
-------------	---	--	--	-------------	--

US 6135839	A			H01J-009/02	Div ex application US 9856937
------------	---	--	--	-------------	-------------------------------

Abstract (Basic): EP 871195 A

A field emission display includes an element comprising; First electrode (4) with an opening (7) laminated to a second electrode (2) with a hole (9) with shape and position of (9) corresponding to (7), through an insulating layer (3) with a through hole linking (7) (9). The upper edge portion of the hole (9) is formed into a cross sectional shape having an edge angle 80 - 100 deg. and with at least part of the edge of the hole exposed in the through hole (8). Electrons are emitted from the second electrode (2) through the upper edge portion of the hole (9) exposed in the through hole (8) by applying a specific voltage between the electrodes. With this configuration a distance between the gate electrode (4) and the field emission portion of the cathode electrode (2) can be accurately controlled. To enhance the emission efficiency of electrons a second gate electrode (16) may be provided on the lower side of the cathode electrode through an insulating layer (17).

USE - For foiled emission displays.

ADVANTAGE - The distance between the gate electrode and the cathode electrode can be easily and uniformly controlled giving improved emission efficiency. The element can be manufactured using vapour deposition methods in high yield without a step of peeling a vapour deposition layer.

Dwg. 12/29

Title Terms: FIELD; EMIT; ELEMENT; FIELD; EMIT; DISPLAY; STRUCTURE; UNIFORM  
; CONTROL; DISTANCE; GATE; ELECTRODE; ELECTRON; EMIT; PART; CATHODE;  
ELECTRODE

Derwent Class: L03; V05

International Patent Class (Main): H01J-001/30; H01J-009/02

International Patent Class (Additional): H01J-031/12

File Segment: CPI; EPI

Manual Codes (CPI/A-N): L03-C02A

Manual Codes (EPI/S-X): V05-L01A3; V05-L05D1

(18) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-289650

(43) 公開日 平成10年(1998)10月27日

(51) Int.Cl.<sup>5</sup>

識別記号

F I

H 0 1 J 1/30

H 0 1 J 1/30

F

9/02

9/02

B

31/12

31/12

C

審査請求 未請求 請求項の数36 O L (全 19 頁)

(21) 出願番号 特願平9-93689

(22) 出願日 平成9年(1997)4月11日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 岩瀬 祐一

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72) 発明者 沖田 昌海

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

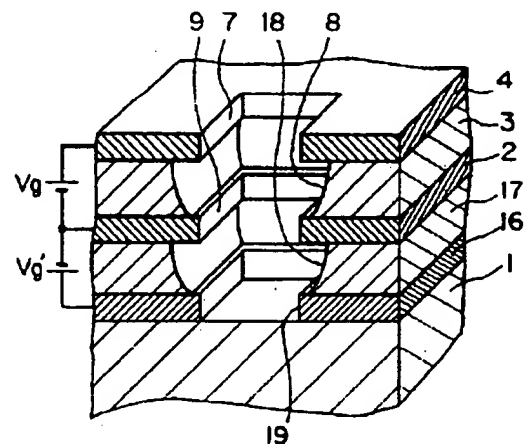
(74) 代理人 弁理士 逢坂 宏

(54) 【発明の名称】 電界電子放出素子及びその製造方法並びに電界電子放出型ディスプレイ装置

(57) 【要約】

【課題】 簡単な構造でゲート電極とカソード電極の電子放出部との間の距離を正確に制御できる電界電子放出素子を提供する。

【解決手段】 カソード電極2とゲート電極4を絶縁層3を介して積層し、ゲート電極4の開口7、絶縁層3の貫通孔8及びカソード電極2の孔9をエッチングにより連続的に形成する。絶縁層3のサイドエッチにより露出したカソード電極2の孔9のほぼ直角のエッジ部分から電子を放出させる。必要に応じ、カソード電極2の下側に絶縁層17を介して第2ゲート電極16を設け、電子放出効率を向上させる。



## 【特許請求の範囲】

【請求項1】 第1の電極と第2の電極が絶縁層を介して互いに積層され、前記第1の電極に開口が形成され、前記第2の電極において前記開口と整合する位置に、前記開口に対応した平面形状を有する穴が設けられ、前記穴の上縁部が、断面形状において、80°～100°の範囲のエッジ角度を有しており、前記絶縁層に、前記開口及び前記穴と連続する貫通孔が設けられ、前記貫通孔内に前記穴の前記上縁部の少なくとも一部が露出し、

前記第1及び第2の電極間に所定の電圧を印加することにより、前記貫通孔内に露出した前記穴の前記上縁部を通じて前記第2の電極から電子を放出させる、電界電子放出素子。

【請求項2】 前記第2の電極の前記穴が、前記第1の電極の前記開口と実質的に同一の平面形状を有する、請求項1に記載の電界電子放出素子。

【請求項3】 前記第1及び第2の電極の一方が、絶縁基板上に形成されている、請求項1に記載の電界電子放出素子。

【請求項4】 前記第1及び第2の電極の一方が、導電基板又は半導体基板上に形成された第2の絶縁層上に形成されている、請求項1に記載の電界電子放出素子。

【請求項5】 前記第2の電極が前記第2の絶縁層上に形成されており、前記第2の電極から電子を放出させる際、前記第2の電極と前記導電基板又は半導体基板との間に前記所定の電圧に等しいか又は前記所定の電圧よりも低い第2の電圧を印加する、請求項4に記載の電界電子放出素子。

【請求項6】 前記第2の電極が前記第2の絶縁層上に形成され、前記第2の電極の前記穴が前記第2の電極を貫通した孔として形成され、前記第2の絶縁層に前記第2の電極の前記孔と連続する穴が形成されている、請求項4に記載の電界電子放出素子。

【請求項7】 前記第2の電極から電子を放出させる際、前記第2の電極と前記導電基板又は半導体基板との間に前記所定の電圧に等しいか又は前記所定の電圧よりも低い第2の電圧を印加する、請求項6に記載の電界電子放出素子。

【請求項8】 絶縁基板上に第1の電極層を形成する工程と、

前記第1の電極層の上に絶縁層を形成する工程と、

前記絶縁層の上に第2の電極層を形成する工程と、

前記第2の電極層の所定位置に開口を形成する工程と、

前記第2の電極層の前記開口を通じて前記絶縁層をエッチングし、前記絶縁層に前記第2の電極層の前記開口に連続し且つ前記開口よりも広い貫通孔を形成する工程と、

前記第2の電極層の前記開口及び前記絶縁層の前記貫通

孔を通じて前記第1の電極層を異方性エッチングし、前記第1の電極層に、前記絶縁層の前記貫通孔に連続し且つ前記第2の電極層の前記開口と実質的に同一の平面形状を有する穴を形成する工程と、

を有する電界電子放出素子の製造方法。

【請求項9】 導電基板又は半導体基板の上に第1の絶縁層を形成する工程と、

前記第1の絶縁層の上に第1の電極層を形成する工程と、

前記第1の電極層の上に第2の絶縁層を形成する工程と、

前記第2の絶縁層の上に第2の電極層を形成する工程と、

前記第2の電極層の所定位置に開口を形成する工程と、前記第2の電極層の前記開口を通じて前記第2の絶縁層をエッチングし、前記第2の絶縁層に前記第2の電極層の前記開口に連続し且つ前記開口よりも広い貫通孔を形成する工程と、

前記第2の電極層の前記開口及び前記第2の絶縁層の前記貫通孔を通じて前記第1の電極層を異方性エッチングし、前記第1の電極層に、前記第2の絶縁層の前記貫通孔に連続し且つ前記第2の電極層の前記開口と実質的に同一の平面形状を有する穴を形成する工程と、

を有する電界電子放出素子の製造方法。

【請求項10】 前記第1の電極層に前記穴として孔を形成した後、前記第2の電極層の前記開口、前記第2の絶縁層の前記貫通孔及び前記第1の電極層の前記孔を通じて前記第1の絶縁層をエッチングし、前記第1の絶縁層に前記第1の電極層の前記孔と連続する穴を形成する工程を更に有する、請求項9に記載の電界電子放出素子の製造方法。

【請求項11】 第1の電極と第2の電極が第1の絶縁層を介して互いに積層され、

第2の電極と第3の電極が第2の絶縁層を介して互いに積層され、

前記第1の電極に開口が形成され、

前記第2の電極において前記開口と整合する位置に、前記開口に対応した平面形状を有する穴が設けられ、

前記第1の絶縁層に、前記開口及び前記穴と連続する貫通孔が設けられ、

前記貫通孔内に前記穴の前記上縁部の少なくとも一部が露出し、

前記第1及び第2の電極間に第1の電圧を印加し且つ前記第2及び第3の電極間に前記第1の電圧に等しいか又は前記第1の電圧よりも低い第2の電圧を印加することにより、前記貫通孔内に露出した前記穴の前記上縁部を通じて前記第2の電極から電子を放出させる、電界電子放出素子。

【請求項12】 前記第2の電極の前記穴が、前記第1の電極の前記開口と実質的に同一の平面形状を有する、

請求項11に記載の電界電子放出素子。

【請求項13】 前記第2の電極の前記穴の前記上縁部が、断面形状において、 $80\sim 100^\circ$ の範囲のエッジ角度を有している。請求項11に記載の電界電子放出素子。

【請求項14】 前記第2の電極の前記穴が前記第2の電極を貫通した孔として形成され、前記第2の絶縁層に前記第2の電極の前記孔と連続する穴が形成されている。請求項11に記載の電界電子放出素子。

【請求項15】 前記第2の絶縁層の前記穴が前記第2の絶縁層を貫通した孔として形成され、前記第3の電極に前記第2の絶縁層の前記孔と連続する穴が形成されている。請求項14に記載の電界電子放出素子。

【請求項16】 前記第3の電極が、絶縁基板上に形成されている。請求項11に記載の電界電子放出素子。

【請求項17】 絶縁基板上に第1の電極層を形成する工程と、

前記第1の電極層の上に第1の絶縁層を形成する工程と、

前記第1の絶縁層の上に第2の電極層を形成する工程と、

前記第2の電極層の上に第2の絶縁層を形成する工程と、

前記第2の絶縁層の上に第3の電極層を形成する工程と、

前記第3の電極層の所定位置に開口を形成する工程と、前記第3の電極層の前記開口を通じて前記第2の絶縁層をエッチングし、前記第2の絶縁層に前記第3の電極層の前記開口に連続し且つ前記開口よりも広い貫通孔を形成する工程と、

前記第3の電極層の前記開口及び前記第2の絶縁層の前記貫通孔を通じて前記第2の電極層を異方性エッチングし、前記第2の電極層に、前記第2の絶縁層の前記貫通孔に連続し且つ前記第3の電極層の前記開口と実質的に同一の平面形状を有する穴を形成する工程と、を有する電界電子放出素子の製造方法。

【請求項18】 前記第2の電極層に前記穴として孔を形成した後、前記第3の電極層の前記開口、前記第2の絶縁層の前記貫通孔及び前記第2の電極層の前記孔を通じて前記第1の絶縁層をエッチングし、前記第1の絶縁層に前記第2の電極層の前記孔と連続する穴を形成する工程を更に有する。請求項17に記載の電界電子放出素子の製造方法。

【請求項19】 前記第1の絶縁層に前記穴として貫通孔を形成した後、前記第3の電極層の前記開口、前記第2の絶縁層の前記貫通孔、前記第2の電極層の前記孔及び前記第1の絶縁層の前記貫通孔を通じて前記第1の電極層をエッチングし、前記第1の電極層に、前記第1の絶縁層の前記孔と連続し且つ前記第3の電極層の前記開口及び前記第2の電極層の前記孔と実質的に同一の平面

形状を有する穴を形成する工程を更に有する。請求項18に記載の電界電子放出素子の製造方法。

【請求項20】 第1の電極と第2の電極が絶縁層を介して互いに積層され、

前記第1の電極に開口が形成され、

前記第2の電極において前記開口と整合する位置に、前記開口を包含し且つ一部において前記開口と重なる平面形状を有する穴が設けられ、

前記絶縁層に、前記開口及び前記穴と連続する貫通孔が設けられ、

前記貫通孔内に前記穴の前記上縁部の少なくとも一部が露出し、

前記第1及び第2の電極間に所定の電圧を印加することにより、前記貫通孔内に露出した前記穴の前記上縁部を通じて前記第2の電極から電子を放出させる、電界電子放出素子。

【請求項21】 前記第2の電極の前記穴の前記上縁部が、断面形状において、 $80\sim 100^\circ$ の範囲のエッジ角度を有している。請求項20に記載の電界電子放出素子。

【請求項22】 前記第1及び第2の電極の一方が、絶縁基板上に形成されている。請求項20に記載の電界電子放出素子。

【請求項23】 前記第1及び第2の電極の一方が、導電基板又は半導体基板上に形成された第2の絶縁層上に形成されている。請求項20に記載の電界電子放出素子。

【請求項24】 前記第2の電極が前記第2の絶縁層上に形成されており、前記第2の電極から電子を放出させる際、前記第2の電極と前記導電基板又は半導体基板との間に前記所定の電圧に等しいか又は前記所定の電圧よりも低い第2の電圧を印加する。請求項23に記載の電界電子放出素子。

【請求項25】 前記第2の電極が前記第2の絶縁層上に形成され、前記第2の電極の前記穴が前記第2の電極を貫通した孔として形成され、前記第2の絶縁層に前記第2の電極の前記孔と連続する穴が形成されている。請求項23に記載の電界電子放出素子。

【請求項26】 前記第2の電極から電子を放出させる際、前記第2の電極と前記導電基板又は半導体基板との間に前記所定の電圧に等しいか又は前記所定の電圧よりも低い第2の電圧を印加する。請求項25に記載の電界電子放出素子。

【請求項27】 絶縁基板上に第1の電極層を形成する工程と、

前記第1の電極層の所定位置に所定平面形状の第1の穴を形成する工程と、

前記第1の電極層の上に絶縁層を形成する工程と、

前記絶縁層の上に第2の電極層を形成する工程と、

前記第2の電極層の所定位置に、前記第1の電極層の前

記第1の穴と一部が重なる平面形状の開口を形成する工程と、

前記第2の電極層の前記開口を通じて前記絶縁層をエッチングし、前記絶縁層に前記第2の電極層の前記開口に連続し且つ前記開口よりも広い貫通孔を形成する工程と、

前記第2の電極層の前記開口及び前記絶縁層の前記貫通孔を通じて前記第1の電極層を異方性エッチングし、前記第1の電極層に、前記絶縁層の前記貫通孔に連続し且つ前記第2の電極層の前記開口と実質的に同一の平面形状を有する第2の穴を形成する工程と、を有する電界電子放出素子の製造方法、

【請求項28】 第1の電極と第2の電極が第1の絶縁層を介して互いに積層され、

第2の電極と第3の電極が第2の絶縁層を介して互いに積層され、

前記第1の電極に開口が形成され、

前記第2の電極において前記開口と整合する位置に、前記開口を包含し且つ一部において前記開口と重なる平面形状を有する穴が設けられ、

前記第1の絶縁層に、前記開口及び前記穴と連続する貫通孔が設けられ、

前記貫通孔内に前記穴の前記上縁部の少なくとも一部が露出し、

前記第1及び第2の電極間に第1の電圧を印加し且つ前記第2及び第3の電極間に前記第1の電圧に等しいか又は前記第1の電圧よりも低い第2の電圧を印加することにより、前記貫通孔内に露出した前記穴の前記上縁部を通じて前記第2の電極から電子を放出させる、電界電子放出素子、

【請求項29】 前記第2の電極の前記穴の前記上縁部が、断面形状において、 $80 \sim 100^\circ$ の範囲のエッジ角度を有している、請求項28に記載の電界電子放出素子、

【請求項30】 前記第2の電極の前記穴が前記第2の電極を貫通した孔として形成され、前記第2の絶縁層に前記第2の電極の前記孔と連続する穴が形成されている、請求項28に記載の電界電子放出素子、

【請求項31】 前記第2の絶縁層の前記穴が前記第2の絶縁層を貫通した孔として形成され、前記第3の電極に前記第2の絶縁層の前記孔と連続する穴が形成されている、請求項30に記載の電界電子放出素子、

【請求項32】 前記第3の電極が、絶縁基板上に形成されている、請求項28に記載の電界電子放出素子、

【請求項33】 絶縁基板上に第1の電極層を形成する工程と、

前記第1の電極層の上に第1の絶縁層を形成する工程と、

前記第1の絶縁層の上に第2の電極層を形成する工程と、

前記第2の電極層の所定位置に所定平面形状の第1の穴を形成する工程と、

前記第2の電極層の上に第2の絶縁層を形成する工程と、

前記第2の絶縁層の上に第3の電極層を形成する工程と、

前記第3の電極層の所定位置に、前記第2の電極層の前記第1の穴と一部が重なる平面形状の開口を形成する工程と、

前記第3の電極層の前記開口を通じて前記第2の絶縁層をエッチングし、前記第2の絶縁層に前記第3の電極層の前記開口に連続し且つ前記開口よりも広い貫通孔を形成する工程と、

前記第3の電極層の前記開口及び前記第2の絶縁層の前記貫通孔を通じて前記第2の電極層を異方性エッチングし、前記第2の電極層に、前記第2の絶縁層の前記貫通孔に連続し且つ前記第3の電極層の前記開口と実質的に同一の平面形状を有する第2の穴を形成する工程と、を有する電界電子放出素子の製造方法、

【請求項34】 前記第2の電極層に、少なくとも前記第2の穴として孔を形成した後、前記第3の電極層の前記開口、前記第2の絶縁層の前記貫通孔及び前記第2の電極層の前記孔を通じて前記第1の絶縁層をエッチングし、前記第1の絶縁層に前記第2の電極層の前記孔と連続する穴を形成する工程を更に有する、請求項33に記載の電界電子放出素子の製造方法、

【請求項35】 前記第1の絶縁層に前記穴として貫通孔を形成した後、前記第3の電極層の前記開口、前記第2の絶縁層の前記貫通孔、前記第2の電極層の前記孔及び前記第1の絶縁層の前記貫通孔を通じて前記第1の電極層をエッチングし、前記第1の電極層に、前記第1の絶縁層の前記孔と連続し且つ前記第3の電極層の前記開口及び前記第2の電極層の前記孔と実質的に同一の平面形状を有する穴を形成する工程を更に有する、請求項34に記載の電界電子放出素子の製造方法、

【請求項36】 請求項1、11、20又は28に記載の電界電子放出素子を有する電界電子放出型ディスプレイ装置、

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電界電子放出現象を利用して金属や半導体の表面から電子を放出させる電界電子放出素子及びその製造方法並びにそれらの電界電子放出素子を用いた電界電子放出型ディスプレイ装置に関する、

【0002】

【従来の技術】電界電子放出素子は、熱的励起によらずに電子を固体から放出させることができる素子で、例えば、FED (Field Emission Display: 電子放出型ディスプレイ) の駆動電子源に用いられている、

【0003】この電界電子放出素子としては、電子を放出する冷陰極を四角錐や円錐形状に構成したスピント(Spindt)型のものが、従来、良く知られている。

【0004】図27及び図28を参照して、この従来のスピント型の電界電子放出素子の製造方法を説明する。

【0005】まず、図27(a)に示すように、ガラス基板100上に、クロム(Cr)、ニオブ(Nb)、タングステン(Ta)、タングステン(W)等からなるカソード電極101を所定パターンに形成し、その上に、酸化シリコン( $\text{SiO}_2$ )膜102を介して、やはりCr、Nb、Ta、W等からなるゲート電極103をカソード電極101と交差するパターンに形成する。次に、ゲート電極103上にレジスト膜104を形成し、フォトリソグラフィにより、このレジスト膜104の所定位置に開口105を形成する。次に、このレジスト膜104をエッチングマスクとして用いて、ゲート電極103をエッチングし、ゲート電極103に、直径1 $\mu\text{m}$ 程度の開口106を形成する。

【0006】次に、図27(b)に示すように、ゲート電極103の開口106を通じて $\text{SiO}_2$ 膜102をエッチングし、 $\text{SiO}_2$ 膜102に貫通孔107を形成する。この時、 $\text{SiO}_2$ 膜102はサイドエッチされて、図示の如く、貫通孔107がゲート電極103の開口106よりも若干広めに形成される。

【0007】次に、図27(c)に示すように、レジスト膜104を除去した後、斜め蒸着法により、アルミニウム(Al)等からなる剥離層108をゲート電極103上に形成する。

【0008】次に、図28(a)に示すように、基板100に対しほぼ垂直な方向から、モリブデン(Mo)、W等の金属材料又はダイヤモンド等の半導体材料を蒸着し、ゲート電極103上に蒸着層109を形成するとともに、ゲート電極103の開口106を通じて $\text{SiO}_2$ 膜102の貫通孔107内のカソード電極101上に、上述の材料からなるカソードコーン(又はエミッタコーン)110を形成する。

【0009】次に、図28(b)に示すように、剥離層108を溶解除去することにより、ゲート電極103上の蒸着層109を剥離除去する。

【0010】以上の工程により、ゲート電極103に形成された微小な開口106内に、電子放出源としてカソードコーン110が設けられたスピント型の電界電子放出素子が形成される。

【0011】このようにして形成された電界電子放出素子は、例えば、FEDのようなディスプレイ装置の駆動電子源として用いられる。

【0012】例えば、図29に示すように、各画素に対応してマトリクス状に配列された電界電子放出素子のうちの選択された電界電子放出素子のゲート電極103とカソード電極101間に所定の電圧 $V_g$ を印加する。す

ると、カソードコーン110の先端部で電界集中が起こり、このカソードコーン110の先端部から電子が放出される。この放出された電子は、ゲート電極103とアノードである透明電極111との間に印加された電圧 $V_a$ により加速され、蛍光面112に衝突してこれを発光させる。

【0013】

【発明が解決しようとする課題】上述した従来のスピント型の電界電子放出素子では、電子放出特性は、ゲート電極103の開口106とカソードコーン110の先端部との距離に大きく左右される。一方、この距離は、蒸着層109の成膜膜厚の面内均一性に依存し、その成膜膜厚の不均一さをより増幅した形のばらつきを生じる。従って、例えば、電子放出特性が均一なディスプレイを作製するためには、上述した蒸着層109の成膜工程を基板全面に対してかなりの精度で均一に行う必要が有る。

【0014】しかしながら、この蒸着層109の成膜工程を、大面積の基板に対して高い精度で均一に行うことは極めて難しく、このため、従来は、高性能の大面積ディスプレイを実現することができなかった。

【0015】また、従来は、蒸着層109を剥離する際の素子汚染の問題により、素子製造の歩留りが悪かった。

【0016】そこで、本発明の目的は、ゲート電極とカソード電極の電子放出部との距離を比較的容易且つ均一に制御することが可能な構造の電界電子放出素子及びその製造方法並びにそれらの電界電子放出素子を用いた電界電子放出型ディスプレイ装置を提供することである。

【0017】また、本発明の別の目的は、蒸着層の剥離工程を必要としない構造の電界電子放出素子及びその製造方法並びにそれらの電界電子放出素子を用いた電界電子放出型ディスプレイ装置を提供することである。

【0018】

【課題を解決するための手段】上述した課題を解決するために、本発明の電界電子放出素子では、第1の電極と第2の電極が絶縁層を介して互いに積層され、前記第1の電極に開口が形成され、前記第2の電極において前記開口と整合する位置に、前記開口に対応した平面形状を有する穴が設けられ、前記穴の上縁部が、断面形状において、80°~100°の範囲のエッジ角度を有しており、前記絶縁層に、前記開口及び前記穴と連続する貫通孔が設けられ、前記貫通孔内に前記穴の前記上縁部の少なくとも一部が露出し、前記第1及び第2の電極間に所定の電圧を印加することにより、前記貫通孔内に露出した前記穴の前記上縁部を通じて前記第2の電極から電子を放出させる。

【0019】また、本発明の電界電子放出素子の製造方法は、絶縁基板上に第1の電極層を形成する工程と、前記第1の電極層の上に絶縁層を形成する工程と、前記絶

緑層の上に第2の電極層を形成する工程と、前記第2の電極層の所定位置に開口を形成する工程と、前記第2の電極層の前記開口を通じて前記絶縁層をエッチングし、前記絶縁層に前記第2の電極層の前記開口に連続し且つ前記開口よりも広い貫通孔を形成する工程と、前記第2の電極層の前記開口及び前記絶縁層の前記貫通孔を通じて前記第1の電極層を異方性エッチングし、前記第1の電極層に、前記絶縁層の前記貫通孔に連続し且つ前記第2の電極層の前記開口と実質的に同一の平面形状を有する穴を形成する工程と、を有する。

【0020】また、本発明の別の態様による電界電子放出素子の製造方法は、導電基板又は半導体基板の上に第1の絶縁層を形成する工程と、前記第1の絶縁層の上に第1の電極層を形成する工程と、前記第1の電極層の上に第2の絶縁層を形成する工程と、前記第2の絶縁層の上に第2の電極層を形成する工程と、前記第2の電極層の所定位置に開口を形成する工程と、前記第2の電極層の前記開口を通じて前記第2の絶縁層をエッチングし、前記第2の絶縁層に前記第2の電極層の前記開口に連続し且つ前記開口よりも広い貫通孔を形成する工程と、前記第2の電極層の前記開口及び前記第2の絶縁層の前記貫通孔を通じて前記第1の電極層を異方性エッチングし、前記第1の電極層に、前記第2の絶縁層の前記貫通孔に連続し且つ前記第2の電極層の前記開口と実質的に同一の平面形状を有する穴を形成する工程と、を有する。

【0021】また、本発明の別の態様による電界電子放出素子では、第1の電極と第2の電極が第1の絶縁層を介して互いに積層され、第2の電極と第3の電極が第2の絶縁層を介して互いに積層され、前記第1の電極に開口が形成され、前記第2の電極において前記開口と整合する位置に、前記開口に対応した平面形状を有する穴が設けられ、前記第1の絶縁層に、前記開口及び前記穴と連続する貫通孔が設けられ、前記貫通孔内に前記穴の前記上縁部の少なくとも一部が露出し、前記第1及び第2の電極間に第1の電圧を印加し且つ前記第2及び第3の電極間に前記第1の電圧に等しいか又は前記第1の電圧よりも低い第2の電圧を印加することにより、前記貫通孔内に露出した前記穴の前記上縁部を通じて前記第2の電極から電子を放出させる。

【0022】また、本発明のこの態様による電界電子放出素子の製造方法は、絶縁基板上に第1の電極層を形成する工程と、前記第1の電極層の上に第1の絶縁層を形成する工程と、前記第1の絶縁層の上に第2の電極層を形成する工程と、前記第2の電極層の上に第2の絶縁層を形成する工程と、前記第2の絶縁層の上に第3の電極層を形成する工程と、前記第3の電極層の所定位置に開口を形成する工程と、前記第3の電極層の前記開口を通じて前記第2の絶縁層をエッチングし、前記第2の絶縁層に前記第3の電極層の前記開口に連続し且つ前記開口

よりも広い貫通孔を形成する工程と、前記第3の電極層の前記開口及び前記第2の絶縁層の前記貫通孔を通じて前記第2の電極層を異方性エッチングし、前記第2の電極層に、前記第2の絶縁層の前記貫通孔に連続し且つ前記第3の電極層の前記開口と実質的に同一の平面形状を有する穴を形成する工程と、を有する。

【0023】また、本発明の更に別の態様による電界電子放出素子では、第1の電極と第2の電極が絶縁層を介して互いに積層され、前記第1の電極に開口が形成され、前記第2の電極において前記開口と整合する位置に、前記開口を包含し且つ一部において前記開口と重なる平面形状を有する穴が設けられ、前記絶縁層に、前記開口及び前記穴と連続する貫通孔が設けられ、前記貫通孔内に前記穴の前記上縁部の少なくとも一部が露出し、前記第1及び第2の電極間に所定の電圧を印加することにより、前記貫通孔内に露出した前記穴の前記上縁部を通じて前記第2の電極から電子を放出させる。

【0024】また、本発明のこの態様による電界電子放出素子の製造方法は、絶縁基板上に第1の電極層を形成する工程と、前記第1の電極層の所定位置に所定平面形状の第1の穴を形成する工程と、前記第1の電極層の上に絶縁層を形成する工程と、前記絶縁層の上に第2の電極層を形成する工程と、前記第2の電極層の所定位置に、前記第1の電極層の前記第1の穴と一部が重なる平面形状の開口を形成する工程と、前記第2の電極層の前記開口を通じて前記絶縁層をエッチングし、前記絶縁層に前記第2の電極層の前記開口に連続し且つ前記開口よりも広い貫通孔を形成する工程と、前記第2の電極層の前記開口及び前記絶縁層の前記貫通孔を通じて前記第1の電極層を異方性エッチングし、前記第1の電極層に、前記絶縁層の前記貫通孔に連続し且つ前記第2の電極層の前記開口と実質的に同一の平面形状を有する第2の穴を形成する工程と、を有する。

【0025】また、本発明の更に別の態様による電界電子放出素子では、第1の電極と第2の電極が第1の絶縁層を介して互いに積層され、第2の電極と第3の電極が第2の絶縁層を介して互いに積層され、前記第1の電極に開口が形成され、前記第2の電極において前記開口と整合する位置に、前記開口を包含し且つ一部において前記開口と重なる平面形状を有する穴が設けられ、前記第1の絶縁層に、前記開口及び前記穴と連続する貫通孔が設けられ、前記貫通孔内に前記穴の前記上縁部の少なくとも一部が露出し、前記第1及び第2の電極間に第1の電圧を印加し且つ前記第2及び第3の電極間に前記第1の電圧に等しいか又は前記第1の電圧よりも低い第2の電圧を印加することにより、前記貫通孔内に露出した前記穴の前記上縁部を通じて前記第2の電極から電子を放出させる。

【0026】また、本発明のこの態様による電界電子放出素子の製造方法は、絶縁基板上に第1の電極層を形成

する工程と、前記第1の電極層の上に第1の絶縁層を形成する工程と、前記第1の絶縁層の上に第2の電極層を形成する工程と、前記第2の電極層の所定位置に所定平面形状の第1の穴を形成する工程と、前記第2の電極層の上に第2の絶縁層を形成する工程と、前記第2の絶縁層の上に第3の電極層を形成する工程と、前記第3の電極層の所定位置に、前記第2の電極層の前記第1の穴と一部が重なる平面形状の開口を形成する工程と、前記第3の電極層の前記開口を通じて前記第2の絶縁層をエッチングし、前記第2の絶縁層に前記第3の電極層の前記開口に連続し且つ前記開口よりも広い貫通孔を形成する工程と、前記第3の電極層の前記開口及び前記第2の絶縁層の前記貫通孔を通じて前記第2の電極層を異方性エッチングし、前記第2の電極層に、前記第2の絶縁層の前記貫通孔に連続し且つ前記第3の電極層の前記開口と実質的に同一の平面形状を有する第2の穴を形成する工程と、を有する。

【0027】

【発明の実施の形態】以下、本発明を好ましい実施の形態に従い説明する。

【0028】（第1の実施の形態）図1に、本発明の第1の実施の形態による電界電子放出素子の断面構造を示す。また、図2に、ゲート電極の開口形状を示す。なお、図1は、図2の1-1線に沿った断面に対応する。

【0029】まず、図4を参照して、この第1の実施の形態による電界電子放出素子の製造方法を説明する。

【0030】まず、図4(a)に示すように、例えば、ガラス基板等の絶縁基板1上に、W、Nb、Ta、Mo、Cr等の金属材料又はダイヤモンド等の半導体材料からなる所定パターンのカソード電極2を、化学的気相成長(CVD)法又はスパッタ法により、例えば、50〜300nm程度の膜厚に形成する。次に、このカソード電極2の上に、酸化シリコンや窒化シリコン等からなる絶縁層3を、CVD法により、例えば、200nm〜1μm程度の膜厚に形成する。次に、この絶縁層3の上に、W、Nb、Ta、Mo、Cr等の金属材料からなるゲート電極4を、CVD法又はスパッタ法により、例えば、50〜300nm程度の膜厚に形成し、更に、これをカソード電極2と交差する所定パターンに加工する。

【0031】しかる後、ゲート電極4上にレジスト膜5を形成し、フォトリソグラフィにより、このレジスト膜5に所定形状の開口6を形成する。この開口6は、後にゲート電極4に形成される開口と同じ形状を有し、例えば、長辺が1〜200μm程度の長方形や長径が1〜200μm程度の楕円形に形成する。勿論、これ以外の形状でも良い。

【0032】次に、図4(b)に示すように、開口6の形成されたレジスト膜5をエッチングマスクとして用いて、例えば、RIE(Reactive Ion Etching: 反応性イオンエッチング)により、ゲート電極4をエッチング

し、ゲート電極4に、レジスト膜5の開口6に対応した形状の開口7を形成する。

【0033】次に、図4(c)に示すように、レジスト膜5の開口6及びゲート電極4の開口7を通じて、例えば、RIE又はフッ酸によるエッチングにより、絶縁層3をエッチングし、絶縁層3に、カソード電極2に達する貫通孔8を形成する。この時、絶縁層3が多少サイドエッチされることにより、図示の如く、貫通孔8はゲート電極4の開口7よりも若干広く形成される。

【0034】次に、図4(d)に示すように、レジスト膜5の開口6、ゲート電極4の開口7及び絶縁層3の貫通孔8を通じて、例えば、RIEにより、カソード電極2をエッチングする。この時、例えば、RIEのような異方性の強いエッチングを行うことにより、カソード電極2には、ゲート電極4の開口7と実質的に同一平面形状の孔9が形成される。また、孔9におけるカソード電極2の上縁部のエッジがほぼ垂直形状に形成される。

【0035】また、この時、上述した如く、絶縁層3の貫通孔8がゲート電極4の開口7よりも若干広く形成されているため、電子放出部である孔9におけるカソード電極2の上縁部は絶縁層3の貫通孔8内に露出した形で形成される。なお、この後、フッ酸による絶縁層3のウェットエッチングを行って、孔9におけるカソード電極2の上縁部を確実に露出させるようにしても良い。このカソード電極2の上縁部は、絶縁層3から0.3μm程度以上露出しているのが好ましい。

【0036】また、絶縁層3を形成する際にCVD装置の真空度を調整して、カソード電極2と絶縁層3の密着度を悪くしておくことにより、図1に一点鎖線10で示すように、絶縁層3を逆テーパ状にサイドエッチすることができる。これにより、孔9におけるカソード電極2の上縁部をより確実に露出させることができる。

【0037】なお、カソード電極2には、図示の例のようなカソード電極2を貫通した孔9に限らず、カソード電極2を貫通しない窪み状の穴（本明細書では、貫通した孔と貫通しない窪み状のものを総称して「穴」と言う。）が形成されても良い。

【0038】この後、レジスト膜5を、アッシング等により除去して、図1及び図2に示した構造を得る。

【0039】なお、この電界電子放出素子を、例えば、図29に示すようなFEDの駆動電子源として用いる場合には、図1及び図2に示す構造を、FEDの各画素に対応させてマトリクス状に配列して形成する。

【0040】図1に示すように、この第1の実施の形態では、ゲート電極4の開口7と孔9におけるカソード電極2の上縁部とが所定距離を置いて互いに対向する。従って、図示の如く、カソード電極2とゲート電極4の間に所定の電圧 $V_g$ を印加することにより、カソード電極2の上縁部のエッジ部分で電界集中が起こり、その部分から電子が放出される。



【0041】この時、ゲート電極4の開口7とカソード電極2の孔9とが自己整合的にほぼ同一形状に形成されるので、ゲート電極4とカソード電極2の上縁部との距離は絶縁層3の膜厚のみで比較的容易且つ均一に制御可能である。

【0042】図5に、この電界電子放出をシミュレーションした結果を示すが、例えば、 $V_g = 60 \sim 120$  (V)で、図示の如く、等電位面10が形成され、電界集中の起こったカソード電極2の上縁部から電子11が放出される。なお、図では、カソード電極2の一方の上縁部からのみ電子11が放出されているが、他方の上縁部からも電子が放出される。

【0043】このように、ゲート電極4の開口7に対向したカソード電極2の上縁部から電子を効率的に放出させるためには、そのカソード電極2の上縁部の断面形状が重要である。

【0044】即ち、図3に示すように、カソード電極2の上縁部のエッジ角度 $\theta$ は、ほぼ $90^\circ$ であるのが良く、図示のように、このエッジ角度が $\theta_1$ のように鈍角側に变化した場合は勿論、 $\theta_2$ のように鋭角側に变化した場合でも、電子の放出効率は低下する。従って、良好な電子の放出効率を得るためには、この上縁部のエッジ角度 $\theta$ は、 $80 \sim 100^\circ$ の範囲であるのが好ましい。

【0045】なお、上述した製造方法のように、異方性の強いエッチングでカソード電極2の孔9を形成すれば、ほぼ $90^\circ$ のエッジ角度 $\theta$ が得られる。

【0046】図6に、実際に作成した素子の断面SEM写真を図にしたものを示す。

【0047】サンプルの作成方法は、次の通りである。まず、絶縁層を介して交差するゲート電極とカソード電極との交点位置のレジストに開口パターンとしてホールパターンを形成した。この時、ホールパターン内のレジストの側壁を垂直に形成した。次に、Crからなるゲート電極を、 $Cl_2$ と $O_2$ の混合ガスにより、RFパワー200W、圧力10Paでエッチングした。続いて、 $SiO_2$ からなる絶縁層を、 $CHF_3$ と $O_2$ の混合ガスにより、RFパワー200W、圧力5Paでエッチングした。更に、Wからなるカソード電極を、 $SF_6$ により、RFパワー200W、圧力5Paでエッチングした。しかる後、フッ酸により絶縁層の側壁をエッチングし、カソード電極のエッジ部分を露出させ、レジストを除去した。

【0048】このようにして作成したサンプルの断面SEM写真に基づく図を図6(a)に示すが、カソード電極の上縁部のエッジはほぼ直角に形成されている。

【0049】なお、図6(b)に示すように、比較のために、カソード電極の露出端面にテーバーを形成したもの(即ち、カソード電極の上縁部のエッジ角度が鈍角のもの)も作製したが、この構造では、電子の放出効率が比較的低かった。

【0050】以上に説明したように、この第1の実施の形態では、ゲート電極4、絶縁層3及びカソード電極2に連続的に孔を形成した比較的簡単な構造で、効率良く電子を放出させることができる。この時、ゲート電極4と電子放出部である孔9におけるカソード電極2の上縁部との距離は絶縁層3の膜厚のみで比較的容易且つ均一に制御可能であるため、この電界電子放出素子を、例えば、大面積のディスプレイ装置に好適に用いることができる。

【0051】また、素子を製造する際に、従来のような金属蒸着層の剥離を行う必要が無いので、その剥離に伴う素子汚染の問題を生じることが無く、この結果、製造歩留りが向上して、コスト減を達成することができる。

【0052】更に、ゲート電極4と電子放出部である孔9におけるカソード電極2の上縁部との距離が絶縁層3の膜厚のみで制御されるので、例えば、絶縁層3の膜厚を変更することで、容易に設計変更が可能である。従って、素子設計の自由度が向上する。

【0053】なお、上述した第1の実施の形態において、ゲート電極4とカソード電極2は逆に配置することも可能である。即ち、基板1側にゲート電極4を形成し、そのゲート電極4上に絶縁層3を介してカソード電極2を積層配置しても良い。この場合、カソード電極2から放出された電子は基板1側に向かうので、例えば、基板1に設けられた貫通孔12(図に一点鎖線で示す。)を通じて、例えば、基板1の裏側位置に設けられた蛍光面に衝突するように構成される。

【0054】(第2の実施の形態)図7に、本発明の第2の実施の形態による電界電子放出素子の断面構造を示す。なお、この第2の実施の形態において、上述した第1の実施の形態に対応する部位には、上述した第1の実施の形態と同一の符号を付す。

【0055】図示の如く、この第2の実施の形態では、金属等の導電基板又はシリコン等の半導体基板13の上に、絶縁層14を介して、上述した第1の実施の形態と同様のカソード電極2、絶縁層3及びゲート電極4からなる積層構造が形成されている。従って、電界電子放出素子としては、上述した第1の実施の形態の場合と実質的に同様の作用及び効果を有する。

【0056】この第2の実施の形態によれば、電界電子放出素子のオンチップ形成が可能となり、例えば、FEDの制御回路等とのワンチップ化が可能となる。

【0057】(第3の実施の形態)図8に、本発明の第3の実施の形態による電界電子放出素子の断面構造を示す。なお、この第3の実施の形態において、上述した第1及び第2の実施の形態に対応する部位には、上述した第1及び第2の実施の形態と同一の符号を付す。

【0058】図示の如く、この第3の実施の形態では、上述した第2の実施の形態の絶縁層14にも、カソード電極2の孔9の下に孔15が形成されている。これによ

り、ゲート電極4からの電界による等電位面が、カソード電極2の下側においてもほぼ均一に形成され、電子放出の効率が向上する。

【0059】なお、絶縁層14の孔15は、絶縁層14を貫通しない穴であっても良い。

【0060】また、この第3の実施の形態においても、上述した第1の実施の形態と同様、ゲート電極4とカソード電極2を逆に配置することは可能である。

【0061】次に、図9を参照して、この第3の実施の形態の構造の製造方法を説明する。

【0062】まず、図9(a)に示すように、金属等の導電基板又は単結晶シリコン半導体基板等の半導体基板14上に、酸化シリコンや窒化シリコン等からなる絶縁層14を、CVD法により、例えば、200nm～1μm程度の膜厚に形成する。次に、この絶縁層14上に、W、Nb、Ta、Mo、Cr等の金属材料又はダイヤモンド等の半導体材料からなる所定パターンのカソード電極2を、CVD法又はスパッタ法により、例えば、50～300nm程度の膜厚に形成する。次に、このカソード電極2の上に、酸化シリコンや窒化シリコン等からなる絶縁層3を、CVD法により、例えば、200nm～1μm程度の膜厚に形成する。次に、この絶縁層3の上に、W、Nb、Ta、Mo、Cr等の金属材料からなるゲート電極4を、CVD法又はスパッタ法により、例えば、50～300nm程度の膜厚に形成し、更に、これをカソード電極2と交差する所定パターンに加工する。

【0063】しかる後、ゲート電極4上にレジスト膜5を形成し、フォトリソグラフィにより、このレジスト膜5に所定形状の開口6を形成する。

【0064】次に、図9(b)に示すように、開口6の形成されたレジスト膜5をエッチングマスクとして用いて、例えば、RIEにより、ゲート電極4をエッチングし、ゲート電極4に、レジスト膜5の開口6に対応した形状の開口7を形成する。

【0065】次に、図9(c)に示すように、レジスト膜5の開口6及びゲート電極4の開口7を通じて、例えば、RIE又はフッ酸によるエッチングにより、絶縁層3をエッチングし、絶縁層3に、カソード電極2に達する貫通孔8を形成する。この時、絶縁層3が多少サイドエッチされることにより、図示の如く、貫通孔8はゲート電極4の開口7よりも若干広く形成される。

【0066】次に、図9(d)に示すように、レジスト膜5の開口6、ゲート電極4の開口7及び絶縁層3の貫通孔8を通じて、例えば、RIEにより、カソード電極2をエッチングする。この時、例えば、RIEのような異方性の強いエッチングを行うことにより、カソード電極2には、ゲート電極4の開口7と実質的に同一平面形状の孔9が形成される。また、孔9におけるカソード電極2の上縁部のエッジがほぼ垂直形状に形成される。

【0067】この図9(d)までの工程で、図7に示す

第2の実施の形態の構造が得られる。

【0068】次に、図9(e)に示すように、レジスト膜5の開口6、ゲート電極4の開口7、絶縁層3の貫通孔8及びカソード電極2の孔9を通じて、例えば、RIE又はフッ酸によるエッチングにより、絶縁層14をエッチングし、絶縁層14に孔15を形成する。この時、絶縁層14が多少サイドエッチされることにより、図示の如く、孔15はカソード電極2の孔9よりも若干広く形成される。

【0069】この後、レジスト膜5を、アッシング等により除去して、図8に示す第3の実施の形態の構造を得る。

【0070】〔第4の実施の形態〕図10に、本発明の第4の実施の形態による電界電子放出素子の断面構造を示す。なお、この第4の実施の形態において、上述した第1の実施の形態に対応する部位には、上述した第1の実施の形態と同一の符号を付す。

【0071】図示の如く、この第4の実施の形態においては、絶縁基板1上に、W、Nb、Ta、Mo、Cr等の金属材料からなる第2ゲート電極16が設けられ、この第2ゲート電極16上に、絶縁層17を介して、上述した第1の実施の形態と同様のカソード電極2、絶縁層3及びゲート電極4からなる積層構造が形成されている。

【0072】この第4の実施の形態では、カソード電極2から電子を放出させる際、図示の如く、カソード電極2と第2ゲート電極16の間にも、第2ゲート電極16を陽極、カソード電極2を陰極とする向きに所定の電圧 $V_g$ （但し、 $0 < |V_g| \leq |V_{g1}|$ ）を印加する。これにより、カソード電極2からの電子の放出効率が向上し、カソード電極2から放出されたより多量の電子が、例えば、FEDの図示省略したアノード（図29参照）との間の電界により、蛍光面に導かれる。従って、この第4の実施の形態では、電界電子放出素子のより低電圧での駆動が可能となる。

【0073】〔第5の実施の形態〕図11に、本発明の第5の実施の形態による電界電子放出素子の断面構造を示す。なお、この第5の実施の形態において、上述した第1及び第4の実施の形態に対応する部位には、上述した第1及び第4の実施の形態と同一の符号を付す。

【0074】図示の如く、この第5の実施の形態では、上述した第4の実施の形態の絶縁層17にも、カソード電極2の孔9の下に孔18が形成されている。これにより、ゲート電極4及び第2ゲート電極16からの電界による等電位面が、カソード電極2の下側においてもほぼ均一に形成され、電子放出の効率が向上する。

【0075】なお、絶縁層17の孔18は、絶縁層17を貫通しない穴であっても良い。

【0076】〔第6の実施の形態〕図12に、本発明の第6の実施の形態による電界電子放出素子の断面構造を

示す。なお、この第6の実施の形態において、上述した第1、第4及び第5の実施の形態に対応する部位には、上述した第1、第4及び第5の実施の形態と同一の符号を付す。

【0077】図示の如く、この第6の実施の形態では、上述した第5の実施の形態の第2ゲート電極16にも、絶縁層17の孔18に連続した孔19が形成されている。これにより、カソード電極2の上下の構成がほぼ対称となるので、ゲート電極4及び第2ゲート電極16からの電界による等電位面が、カソード電極2の上下でほぼ対称に形成され、電子放出の効率が向上する。

【0078】なお、第2ゲート電極16の孔19は、第2ゲート電極16を貫通しない穴であっても良い。

【0079】次に、図13を参照して、この第6の実施の形態の構造の製造方法を説明する。

【0080】まず、図13(a)に示すように、ガラス基板等の絶縁基板1上に、W、Nb、Ta、Mo、Cr等の金属材料からなる所定パターンの第2ゲート電極16を、CVD法又はスパッタ法により、例えば、50〜300nm程度の膜厚に形成する。次に、この第2ゲート電極16上に、酸化シリコンや窒化シリコン等からなる絶縁層17を、CVD法により、例えば、200nm〜1μm程度の膜厚に形成する。次に、この絶縁層17上に、W、Nb、Ta、Mo、Cr等の金属材料又はダイヤモンド等の半導体材料からなる所定パターンのカソード電極2を、CVD法又はスパッタ法により、例えば、50〜300nm程度の膜厚に形成する。次に、このカソード電極2の上に、酸化シリコンや窒化シリコン等からなる絶縁層3を、CVD法により、例えば、200nm〜1μm程度の膜厚に形成する。次に、この絶縁層3の上に、W、Nb、Ta、Mo、Cr等の金属材料からなるゲート電極4を、CVD法又はスパッタ法により、例えば、50〜300nm程度の膜厚に形成し、更に、これをカソード電極2と交差する所定パターンに加上する。

【0081】しかる後、ゲート電極4上にレジスト膜5を形成し、フォトリソグラフィにより、このレジスト膜5に所定形状の開口6を形成する。

【0082】次に、図13(b)に示すように、開口6の形成されたレジスト膜5をエッチングマスクとして用いて、例えば、RIEにより、ゲート電極4をエッチングし、ゲート電極4に、レジスト膜5の開口6に対応した形状の開口7を形成する。次に、レジスト膜5の開口6及びゲート電極4の開口7を通じて、例えば、RIE又はフッ酸によるエッチングにより、絶縁層3をエッチングし、絶縁層3に、カソード電極2に達する貫通孔8を形成する。この時、絶縁層3が多少サイドエッチされることにより、図示の如く、貫通孔8はゲート電極4の開口7よりも若干広く形成される。次に、レジスト膜5の開口6、ゲート電極4の開口7及び絶縁層3の貫通孔

8を通じて、例えば、RIEにより、カソード電極2をエッチングする。この時、例えば、RIEのような異方性の強いエッチングを行うことにより、カソード電極2には、ゲート電極4の開口7と実質的に同一平面形状の孔9が形成される。また、孔9におけるカソード電極2の上縁部のエッジがほぼ垂直形状に形成される。

【0083】この図13(b)までの工程で、図10に示す第4の実施の形態の構造が得られる。

【0084】次に、図13(c)に示すように、レジスト膜5の開口6、ゲート電極4の開口7、絶縁層3の貫通孔8及びカソード電極2の孔9を通じて、例えば、RIE又はフッ酸によるエッチングにより、絶縁層17をエッチングし、絶縁層17に孔18を形成する。この時、絶縁層17が多少サイドエッチされることにより、図示の如く、孔18はカソード電極2の孔9よりも若干広く形成される。

【0085】この図13(c)までの工程で、図11に示す第5の実施の形態の構造が得られる。

【0086】次に、図13(d)に示すように、レジスト膜5の開口6、ゲート電極4の開口7、絶縁層3の貫通孔8、カソード電極2の孔9及び絶縁層17の孔18を通じて、例えば、RIEにより、第2ゲート電極16をエッチングする。この時、例えば、RIEのような異方性の強いエッチングを行うことにより、第2ゲート電極16には、ゲート電極4の開口7及びカソード電極2の孔9と実質的に同一平面形状の孔19が形成される。

【0087】この後、レジスト膜5を、アッシング等により除去して、図12に示す第6の実施の形態の構造を得る。

【0088】〔第7の実施の形態〕図14に、本発明の第7の実施の形態による電界電子放出素子の断面構造を示す。なお、この第7の実施の形態において、上述した第2の実施の形態に対応する部位には、上述した第2の実施の形態と同一の符号を付す。

【0089】図示の如く、この第7の実施の形態では、図7に示す第2の実施の形態と同様の構造において、導電基板又は半導体基板13を、上述した第4〜第6の実施の形態の第2ゲート電極16の代わりに用いている。即ち、カソード電極2から電子を放出させる際、カソード電極2と基板13との間にも、基板13を陽極、カソード電極2を陰極とする向きに所定の電圧 $V_g'$ （但し、 $0 < |V_g'| \leq |V_g|$ ）を印加する。これにより、カソード電極2からの電子の放出効率が向上し、カソード電極2から放出されたより多量の電子が、例えば、FEDの図示省略したアノード（図29参照）との間の電界により、蛍光面に導かれる。

【0090】従って、この第7の実施の形態では、特に第2ゲート電極を設けなくても、上述した第4の実施の形態と同様の効果が得られる。

【0091】〔第8の実施の形態〕図15に、本発明の

第8の実施の形態による電界電子放出素子の断面構造を示す。なお、この第8の実施の形態において、上述した第3の実施の形態に対応する部位には、上述した第3の実施の形態と同一の符号を付す。

【0092】図示の如く、この第8の実施の形態では、図8に示す第3の実施の形態と同様の構造において、導電基板又は半導体基板13を、上述した第4～第6の実施の形態の第2ゲート電極16の代わりに用いている。即ち、カソード電極2から電子を放出させる際、カソード電極2と基板13の間にも、基板13を陽極、カソード電極2を陰極とする向きに所定の電圧 $V_g$ （但し、 $0 < |V_g| \leq |V_{th}|$ ）を印加する。これにより、カソード電極2からの電子の放出効率が向上し、カソード電極2から放出されたより多量の電子が、例えば、FEDの図示省略したアノード（図29参照）との間の電界により、蛍光面に導かれる。

【0093】従って、この第8の実施の形態では、特に第2ゲート電極を設けなくても、上述した第5の実施の形態と同様の効果が得られる。

【0094】〔第9の実施の形態〕図16に、本発明の第9の実施の形態による電界電子放出素子の断面構造を示す。また、図17に、そのゲート電極の開口形状を示す。なお、図16(a)は、図17のXVI-XVI線に沿った断面に対応する。また、この第9の実施の形態において、上述した第1の実施の形態に対応する部位には、上述した第1の実施の形態と同一の符号を付す。

【0095】まず、図18を参照して、この第9の実施の形態による電界電子放出素子の製造方法を説明する。

【0096】まず、図18(a-1)に示すように、ガラス基板等の絶縁基板1上に、W、Nb、Ta、Mo、Cr等の金属材料又はダイヤモンド等の半導体材料からなる所定パターンのカソード電極2を、CVD法又はスパッタ法により、例えば、50～300nm程度の膜厚に形成する。

【0097】次に、この第9の実施の形態では、カソード電極2上にレジスト膜20を形成し、フォトリソグラフィにより、このレジスト膜20に所定形状、例えば、図18(a-2)の平面図に示すように、長方形の開口21を形成する。しかる後、この開口21の形成されたレジスト膜20をエッチングマスクとして用いて、例えば、RIEにより、ゲート電極4をエッチングし、カソード電極2に、レジスト膜20の開口21に対応した形状の孔9aを形成する。この時、例えば、RIEのような異方性の強いエッチングを行うことにより、孔9aにおけるカソード電極2の上縁部のエッジがほぼ垂直形状に形成される。

【0098】次に、図18(b-1)に示すように、レジスト膜20を除去した後、カソード電極2の上に、酸化シリコンや窒化シリコン等からなる絶縁層3を、CVD法により、例えば、200nm～1μm程度の膜厚に

形成する。次に、この絶縁層3の上に、W、Nb、Ta、Mo、Cr等の金属材料からなるゲート電極4を、CVD法又はスパッタ法により、例えば、50～300nm程度の膜厚に形成し、更に、これをカソード電極2と交差する所定パターンに加工する。

【0099】次に、ゲート電極4上にレジスト膜5を形成し、フォトリソグラフィにより、このレジスト膜5に所定形状の開口6を形成する。この時、開口6は、例えば、図18(b-2)の平面図に示すように、カソード電極2の孔9aと交差する長方形形状に形成する。

【0100】しかる後、図18(c-1)に示すように、開口6の形成されたレジスト膜5をエッチングマスクとして用いて、例えば、RIEにより、ゲート電極4をエッチングし、ゲート電極4に、レジスト膜5の開口6に対応した形状の開口7を形成する。続いて、レジスト膜5の開口6及びゲート電極4の開口7を通じて、例えば、RIE又はフッ酸によるエッチングにより、絶縁層3をエッチングし、絶縁層3に、図外の位置（図16(a)参照）でカソード電極2に達する貫通孔8を形成する。なお、図18(c-1)は、カソード電極2の孔9aの部分の断面を示しており、この部分では、絶縁層3の貫通孔8は絶縁基板1に達して形成される。この時、絶縁層3が多少サイドエッチされることにより、図示の如く、貫通孔8はゲート電極4の開口7よりも若干広く形成される。

【0101】更に、続いて、レジスト膜5の開口6、ゲート電極4の開口7及び絶縁層3の貫通孔8を通じて、そこに露出しているカソード電極2を、例えば、RIEによりエッチングし、図18(c-2)に示すように、ゲート電極4の開口7と実質的に同一平面形状の孔9bをカソード電極2に形成する。これにより、カソード電極2には、図16(b)に示すように、孔9aと孔9bが複合したほぼ十字形の孔が形成される。この時、例えば、RIEのような異方性の強いエッチングを行うことにより、カソード電極2に、ゲート電極4の開口7と実質的に同一平面形状の孔9bを形成することができ、且つ、その孔9bにおけるカソード電極2の上縁部のエッジをほぼ垂直形状に形成できる。

【0102】また、この時、上述した如く、絶縁層3の貫通孔8がゲート電極4の開口7よりも若干広く形成されているため、既述した第1の実施の形態の場合と同様、孔9bにおけるカソード電極2の上縁部は絶縁層3の貫通孔8内に露出した形で形成される。即ち、この第9の実施の形態では、図16(a)に示すように、孔9aと孔9bが重なってできた角の部分が絶縁層3の貫通孔8内に露出する。この角の部分は、カソード電極2の断面方向のみならず平面方向にも角度を有しているため、電界集中がより起こり易く、従って、この部分からより効率的に電子が放出される。

【0103】なお、カソード電極2に形成される孔9

a、孔9bは、いずれも、カソード電極2を貫通しない穴であっても良い。

【0104】また、孔9a、9bの形状は、夫々、図示の例のような長方形に限定されず、重なり部分に角部が形成されるような形状であれば、例えば、楕円形状等、種々に変更が可能である。

【0105】この後、レジスト膜5を、アッシング等により除去して、図16に示した構造を得る。

【0106】この第9の実施の形態では、上述したように、断面方向だけでなく平面方向にも角度を有する角の部分のカソード電極2から電子が放出されるので、電子の放出効率が良くなり、その結果、電界電子放出素子のより低電圧での駆動が可能となる。

【0107】〔第10の実施の形態〕図19に、本発明の第10の実施の形態による電界電子放出素子の断面構造を示す。なお、この第10の実施の形態において、上述した第2及び第9の実施の形態に対応する部位には、上述した第2及び第9の実施の形態と同一の符号を付す。

【0108】図示の如く、この第10の実施の形態では、図7に示す第2の実施の形態と同様、金属等の導電基板又はシリコン等の半導体基板13の上に、絶縁層14を介して、上述した第9の実施の形態と同様のカソード電極2、絶縁層3及びゲート電極4からなる積層構造が形成されている。

【0109】従って、この第10の実施の形態は、上述した第2及び第9の実施の形態の効果を合わせ持つ。

【0110】〔第11の実施の形態〕図20に、本発明の第11の実施の形態による電界電子放出素子の断面構造を示す。なお、この第11の実施の形態において、上述した第3及び第10の実施の形態に対応する部位には、上述した第2及び第10の実施の形態と同一の符号を付す。

【0111】図示の如く、この第11の実施の形態では、上述した第10の実施の形態の絶縁層14に、図8に示す第3の実施の形態と同様の孔15が設けられている。

【0112】従って、この第11の実施の形態は、上述した第3及び第10の実施の形態の効果を合わせ持つ。

【0113】なお、絶縁層14の孔15は、絶縁層14を貫通しない穴であっても良い。

【0114】〔第12の実施の形態〕図21に、本発明の第12の実施の形態による電界電子放出素子の断面構造を示す。なお、この第12の実施の形態において、上述した第4及び第9の実施の形態に対応する部位には、上述した第4及び第9の実施の形態と同一の符号を付す。

【0115】図示の如く、この第12の実施の形態では、図10に示す第4の実施の形態と同様、絶縁基板1上に、W、Nb、Ta、Mo、Cr等の金属材料からな

る第2ゲート電極16が設けられ、この第2ゲート電極16上に、絶縁層17を介して、上述した第9の実施の形態と同様のカソード電極2、絶縁層3及びゲート電極4からなる積層構造が形成されている。

【0116】従って、この第12の実施の形態は、上述した第4及び第9の実施の形態の効果を合わせ持ち、電界電子放出素子の更に低電圧での駆動が可能となる。

【0117】〔第13の実施の形態〕図22に、本発明の第13の実施の形態による電界電子放出素子の断面構造を示す。なお、この第13の実施の形態において、上述した第5及び第9の実施の形態に対応する部位には、上述した第5及び第9の実施の形態と同一の符号を付す。

【0118】図示の如く、この第13の実施の形態では、図11に示す第5の実施の形態と同様、上述した第12の実施の形態の絶縁層17にも、カソード電極2の孔9a、9bの下に孔18が形成されている。

【0119】従って、この第13の実施の形態は、上述した第5及び第9の実施の形態の効果を合わせ持つ。

【0120】なお、絶縁層17の孔18は、絶縁層17を貫通しない穴であっても良い。

【0121】〔第14の実施の形態〕図23に、本発明の第14の実施の形態による電界電子放出素子の断面構造を示す。なお、この第14の実施の形態において、上述した第6及び第13の実施の形態に対応する部位には、上述した第6及び第13の実施の形態と同一の符号を付す。

【0122】図示の如く、この第14の実施の形態では、図12に示す第6の実施の形態と同様、上述した第13の実施の形態の第2ゲート電極16にも、絶縁層17の孔18に連続した孔19が形成されている。

【0123】従って、この第14の実施の形態は、上述した第6及び第13の実施の形態の効果を合わせ持つ。

【0124】なお、第2ゲート電極16の孔19は、第2ゲート電極16を貫通しない穴であっても良い。

【0125】次に、図24を参照して、この第14の実施の形態の構造の製造方法を説明する。

【0126】まず、図24(a)に示すように、ガラス基板等の絶縁基板1上に、W、Nb、Ta、Mo、Cr等の金属材料からなる所定パターンの第2ゲート電極16を、CVD法又はスパッタ法により、例えば、50～300nm程度の膜厚に形成する。次に、この第2ゲート電極16上に、酸化シリコンや窒化シリコン等からなる絶縁層17を、CVD法により、例えば、200nm～1μm程度の膜厚に形成する。次に、この絶縁層17上に、W、Nb、Ta、Mo、Cr等の金属材料又はダイヤモンド等の半導体材料からなる所定パターンのカソード電極2を、CVD法又はスパッタ法により、例えば、50～300nm程度の膜厚に形成する。

【0127】次に、既述した図18(a-1)(a-

2)と同様、カソード電極2上にレジスト膜20を形成し、フォトリソグラフィーにより、このレジスト膜20に所定形状の開口21を形成する。

【0128】しかる後、図24(b)に示すように、この開口21の形成されたレジスト膜20をエッチングマスクとして用いて、例えば、RIEにより、ゲート電極4をエッチングし、カソード電極2に、レジスト膜20の開口21に対応した形状の孔9aを形成する。この時、例えば、RIEのような異方性の強いエッチングを行うことにより、孔9aにおけるカソード電極2の上縁部のエッジがほぼ垂直形状に形成される。

【0129】次に、図24(c)に示すように、このカソード電極2の上に、酸化シリコンや窒化シリコン等からなる絶縁層3を、CVD法により、例えば、200nm〜1μm程度の膜厚に形成する。次に、この絶縁層3の上に、W、Nb、Ta、Mo、Cr等の金属材料からなるゲート電極4を、CVD法又はスパッタ法により、例えば、50〜300nm程度の膜厚に形成し、更に、これをカソード電極2と交差する所定パターンに加工する。

【0130】次に、既述した図18(b-1)(b-2)と同様、ゲート電極4上にレジスト膜5を形成し、フォトリソグラフィーにより、このレジスト膜5に所定形状の開口6を形成する。

【0131】しかる後、図24(d)に示すように、開口6の形成されたレジスト膜5をエッチングマスクとして用いて、例えば、RIEにより、ゲート電極4をエッチングし、ゲート電極4に、レジスト膜5の開口6に対応した形状の開口7を形成する。続いて、レジスト膜5の開口6及びゲート電極4の開口7を通じて、例えば、RIE又はフッ酸によるエッチングにより、絶縁層3をエッチングし、絶縁層3に、図外の位置でカソード電極2に達する貫通孔8を形成する。この時、絶縁層3が多少サイドエッチされることにより、図示の如く、貫通孔8はゲート電極4の開口7よりも若干広く形成される。

【0132】更に、続いて、レジスト膜5の開口6、ゲート電極4の開口7及び絶縁層3の貫通孔8を通じて、そこに露出しているカソード電極2を、例えば、RIEによりエッチングし、ゲート電極4の開口7と実質的に同一平面形状の孔9bをカソード電極2に形成して、カソード電極2に、孔9aと孔9bが複合した、例えば、ほぼ十字形の孔を形成する。この時、例えば、RIEのような異方性の強いエッチングを行うことにより、カソード電極2に、ゲート電極4の開口7と実質的に同一平面形状の孔9bを形成することができ、且つ、その孔9bにおけるカソード電極2の上縁部のエッジをほぼ垂直形状に形成できる。

【0133】以上の工程により、図21に示す第12の実施の形態の構造が得られる。

【0134】次に、図24(e)に示すように、レジス

ト膜5の開口6、ゲート電極4の開口7、絶縁層3の貫通孔8及びカソード電極2の孔9a、9bを通じて、例えば、RIE又はフッ酸によるエッチングにより、絶縁層17をエッチングし、絶縁層17に孔18を形成する。この時、絶縁層17が多少サイドエッチされることにより、図示の如く、孔18はカソード電極2の孔9よりも若干広く形成される。

【0135】この図24(e)までの工程で、図22に示す第13の実施の形態の構造が得られる。

【0136】次に、図24(f)に示すように、レジスト膜5の開口6、ゲート電極4の開口7、絶縁層3の貫通孔8、カソード電極2の孔9a、9b及び絶縁層17の孔18を通じて、例えば、RIEにより、第2ゲート電極16をエッチングする。この時、例えば、RIEのような異方性の強いエッチングを行うことにより、第2ゲート電極16には、ゲート電極4の開口7及びカソード電極2の孔9bと実質的に同一平面形状の孔19が形成される。

【0137】この後、レジスト膜5を、アッシング等により除去して、図23に示す第14の実施の形態の構造を得る。

【0138】〔第15の実施の形態〕図25に、本発明の第15の実施の形態による電界電子放出素子の断面構造を示す。なお、この第15の実施の形態において、上述した第10の実施の形態に対応する部位には、上述した第10の実施の形態と同一の符号を付す。

【0139】図示の如く、この第15の実施の形態では、図19に示す第10の実施の形態と同様の構造において、導電基板又は半導体基板13を、上述した第12〜第14の実施の形態の第2ゲート電極16の代わりに用いている。

【0140】従って、この第15の実施の形態では、特に第2ゲート電極を設けなくても、上述した第12の実施の形態と同様の効果が得られる。

【0141】〔第16の実施の形態〕図26に、本発明の第16の実施の形態による電界電子放出素子の断面構造を示す。なお、この第16の実施の形態において、上述した第11の実施の形態に対応する部位には、上述した第11の実施の形態と同一の符号を付す。

【0142】図示の如く、この第16の実施の形態では、図20に示す第11の実施の形態と同様の構造において、導電基板又は半導体基板13を、上述した第12〜第14の実施の形態の第2ゲート電極16の代わりに用いている。

【0143】従って、この第16の実施の形態では、特に第2ゲート電極を設けなくても、上述した第13の実施の形態と同様の効果が得られる。

【0144】

【発明の効果】本発明の電界電子放出素子においては、第1の電極と第2の電極を絶縁層を介して互いに積層

し、第1の電極に設けた開口に対応した平面形状を有する穴を第2の電極に設け、その穴を構成する第2の電極の上縁部から電子を放出させる。

【0145】従って、第1の電極の開口部分と第2の電極の電子放出部との距離を、その間の絶縁層の膜厚のみで簡便且つ均一に制御することができるので、本発明の電界電子放出素子は、例えば、大画面のディスプレイ装置の駆動電子源としても好適に用いることができる。

【0146】また、第2の電極の穴は、例えば、第1の電極の開口を通して、その開口に対し自己整合的に形成することができるので、本発明の電界電子放出素子は、その製造方法が極めて簡単である。また、従来のスピント型の素子のように金属蒸着層の剥離工程を必要としないので、その金属蒸着層の剥離に起因する素子汚染の問題が生じず、製品の歩留りが向上する。

【0147】更に、第2の電極の第1の電極とは反対側に第3の電極を設けて、この第3の電極を第2ゲート電極として用いるか、或いは、第2の電極の第1の電極とは反対側に設けた導電基板又は半導体基板を第2ゲート電極として用いることにより、第2の電極からの電子放出効率を向上させることができるので、電界電子放出素子の駆動電源の低電圧化を達成することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による電界電子放出素子の構造を示す断面図である。

【図2】本発明の第1の実施の形態による電界電子放出素子のゲート電極の開口形状を示す斜視図である。

【図3】本発明の第1の実施の形態による電界電子放出素子のエッジ角度を説明するための断面図である。

【図4】本発明の第1の実施の形態による電界電子放出素子の製造方法を工程順に示す断面図である。

【図5】本発明の第1の実施の形態による電界電子放出素子の電子放出をシミュレーション実験した結果を示す概略図である。

【図6】カソード電極のエッジをほぼ垂直に形成した電界電子放出素子とカソード電極のエッジ部分にテーパーを形成した電界電子放出素子の夫々の電子顕微鏡写真に基づいて作成した図である。

【図7】本発明の第2の実施の形態による電界電子放出素子の構造を示す断面図である。

【図8】本発明の第3の実施の形態による電界電子放出素子の構造を示す断面図である。

【図9】本発明の第3の実施の形態による電界電子放出素子の製造方法を工程順に示す断面図である。

【図10】本発明の第4の実施の形態による電界電子放

出素子の構造を示す断面図である。

【図11】本発明の第5の実施の形態による電界電子放出素子の構造を示す断面図である。

【図12】本発明の第6の実施の形態による電界電子放出素子の構造を示す断面図である。

【図13】本発明の第6の実施の形態による電界電子放出素子の製造方法を工程順に示す断面図である。

【図14】本発明の第7の実施の形態による電界電子放出素子の構造を示す断面図である。

【図15】本発明の第8の実施の形態による電界電子放出素子の構造を示す断面図である。

【図16】本発明の第9の実施の形態による電界電子放出素子の構造を示す断面図及び分解図である。

【図17】本発明の第9の実施の形態による電界電子放出素子のゲート電極の開口形状を示す斜視図である。

【図18】本発明の第9の実施の形態による電界電子放出素子の製造方法を工程順に示す断面図及び平面図である。

【図19】本発明の第10の実施の形態による電界電子放出素子の構造を示す断面図である。

【図20】本発明の第11の実施の形態による電界電子放出素子の構造を示す断面図である。

【図21】本発明の第12の実施の形態による電界電子放出素子の構造を示す断面図である。

【図22】本発明の第13の実施の形態による電界電子放出素子の構造を示す断面図である。

【図23】本発明の第14の実施の形態による電界電子放出素子の構造を示す断面図である。

【図24】本発明の第14の実施の形態による電界電子放出素子の製造方法を工程順に示す断面図である。

【図25】本発明の第15の実施の形態による電界電子放出素子の構造を示す断面図である。

【図26】本発明の第16の実施の形態による電界電子放出素子の構造を示す断面図である。

【図27】従来のスピント型の電界電子放出素子の製造方法を工程順に示す断面図である。

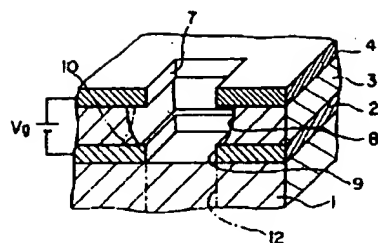
【図28】従来のスピント型の電界電子放出素子の製造方法を工程順に示す断面図である。

【図29】従来のスピント型の電界電子放出素子を駆動電子源に用いたFEDの要部を示す概略断面図である。

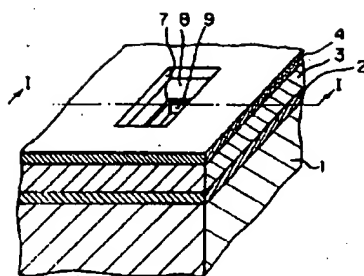
【符号の説明】

1…絶縁基板、2…カソード電極、3、14、17…絶縁層、4…ゲート電極、7…開口、8…貫通孔、9、9a、9b、15、18、19…孔、13…導電基板又は半導体基板、16…第2ゲート電極

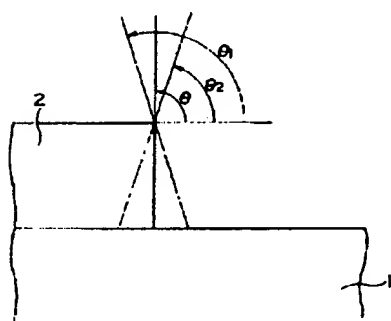
【圖 1】



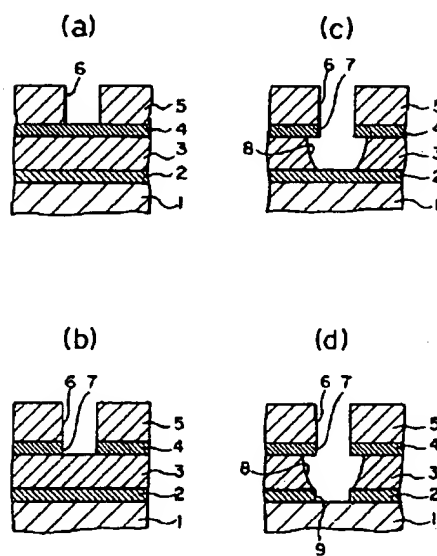
【圖2】



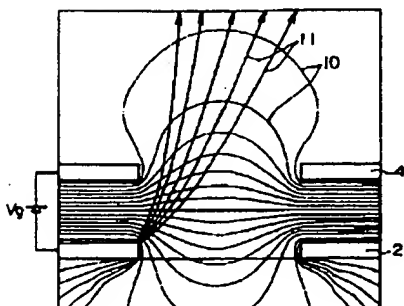
【圖3】



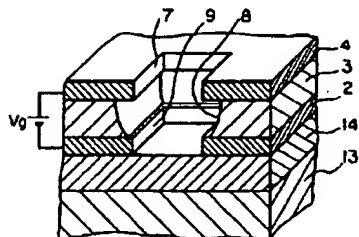
【图4】



【图5】

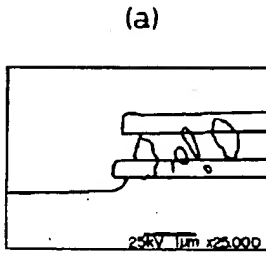


【圖7】

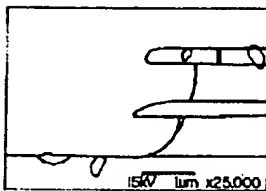




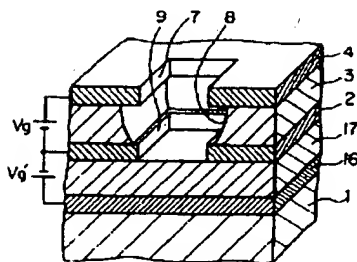
【図6】



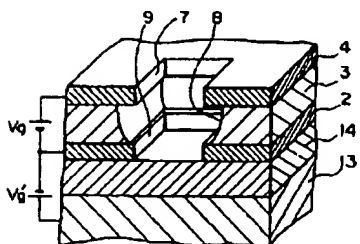
(b)



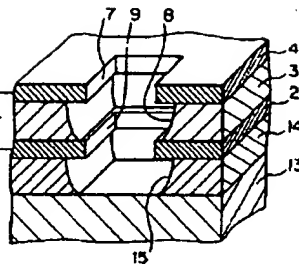
【図10】



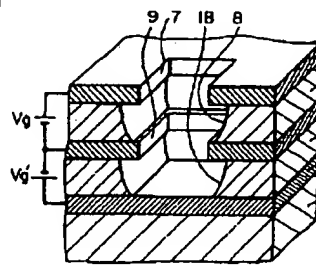
【図14】



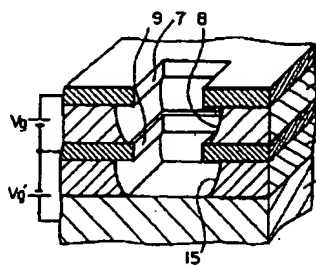
【図8】



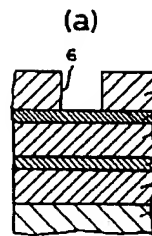
【図11】



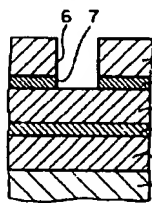
【図15】



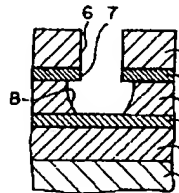
【図9】



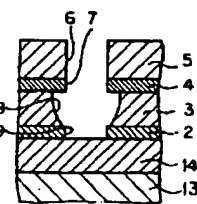
(b)



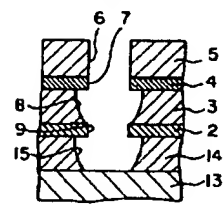
(c)



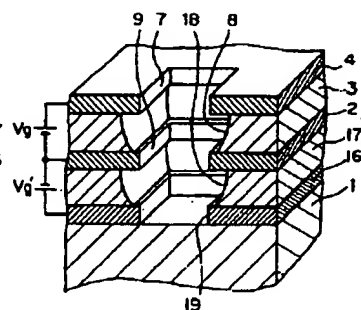
(d)



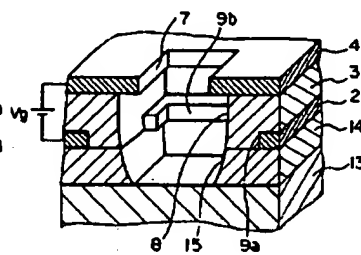
(e)



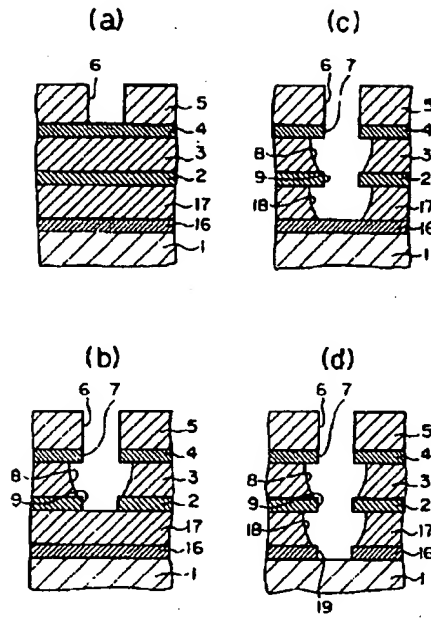
【図12】



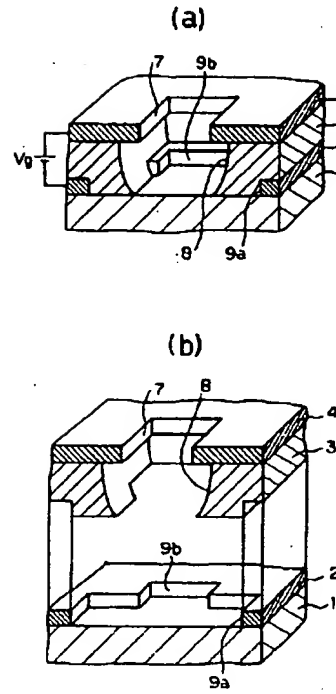
【図20】



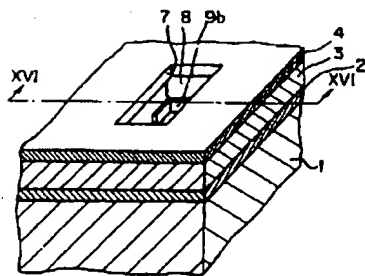
【図13】



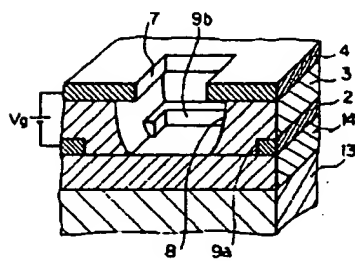
【図16】



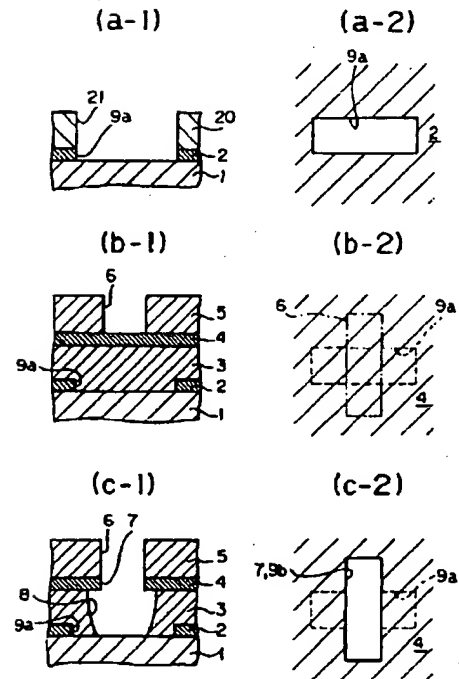
【図17】



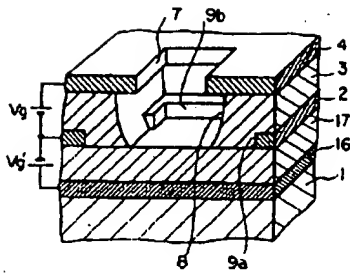
【図19】



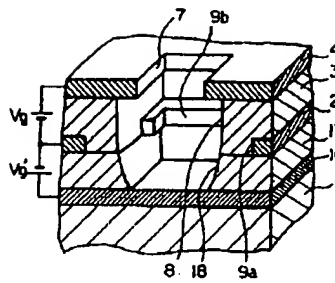
【図18】



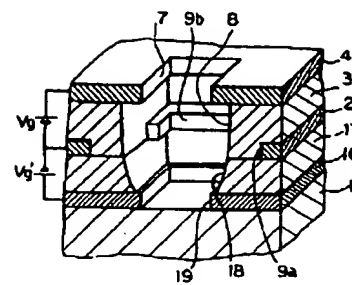
【図21】



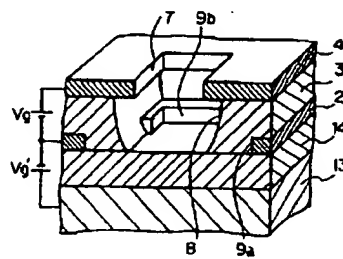
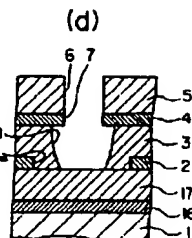
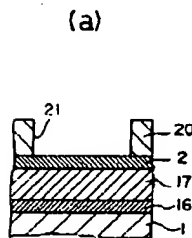
【図22】



【図23】

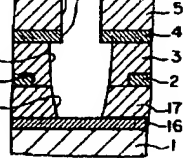
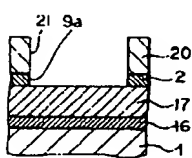


【図24】

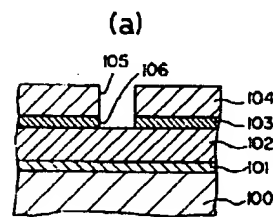


(b)

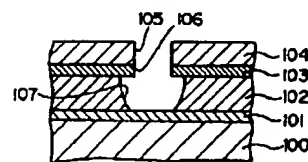
(e)



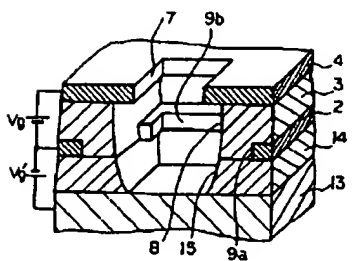
【図27】



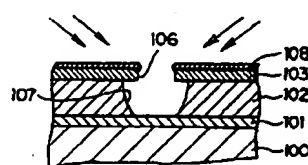
(b)



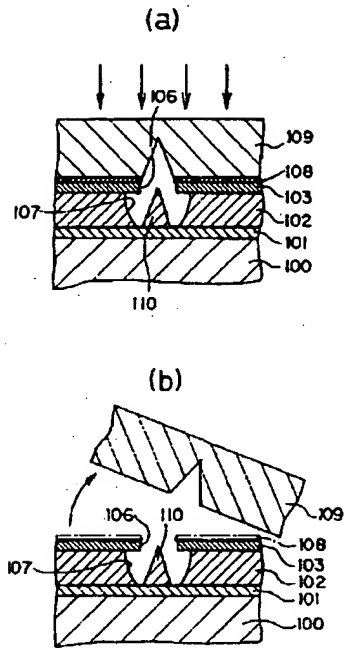
【図26】



(c)



【図28】



【図29】

